

*6-12-02  
JG  
MS*  
PATENT  
Docket No. 492322002600

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on December 17, 2001.

Melissa Garton  
Melissa Garton

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Hirotoshi KUBO et al.

Serial No.: Not yet assigned

Filing Date: December 17, 2001

For: SEMICONDUCTOR AND  
MANUFACTURING METHOD  
THEREOF

Examiner: Not yet assigned

Group Art Unit: Not yet assigned

1C955 U.S. PRO  
10/016/42  
12/17/01

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application No. 2000-397716, filed December 27, 2000.

A certified copy of the priority document is attached to perfect Applicants' claim for priority.

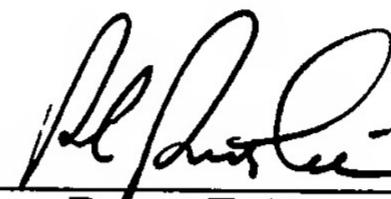
It is respectfully requested that the receipt of this certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge

the cost of such petitions and/or other fees due in connection with the filing of this document to  
**Deposit Account No. 03-1952** and reference Docket No. 492322002600. However, the  
Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: December 27, 2001

Respectfully submitted,

By:   
Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
2000 Pennsylvania Avenue, N.W.  
Washington, D.C. 20006-1888  
Telephone: (202) 887-1545  
Facsimile: (202) 887-0763

日本国特許庁  
JAPAN PATENT OFFICE

JC955 U.S. PTO  
10/016142  
12/17/01  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月27日

出願番号

Application Number:

特願2000-397716

出願人

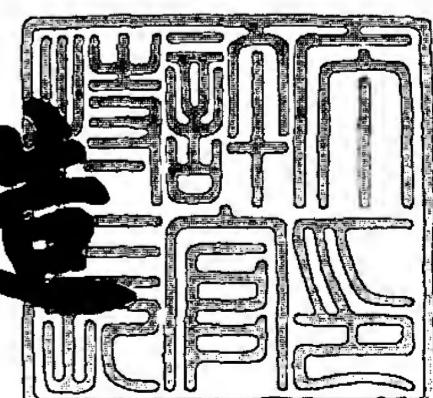
Applicant(s):

三洋電機株式会社

2001年 9月10日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3083228

【書類名】 特許願  
【整理番号】 KAA1000080  
【提出日】 平成12年12月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/72  
【発明者】  
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
【氏名】 久保 博稔  
【発明者】  
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
【氏名】 富永 久昭  
【発明者】  
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
【氏名】 沢田 秀孝  
【発明者】  
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
【氏名】 村井 成行  
【特許出願人】  
【識別番号】 000001889  
【氏名又は名称】 三洋電機株式会社  
【代表者】 桑野 幸徳  
【代理人】  
【識別番号】 100111383  
【弁理士】  
【氏名又は名称】 芝野 正雅

特2000-397716

【連絡先】 電話03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 一導電型のコレクタ層の表面に形成した逆導電型のベース領域と、

前記ベース領域の表面に設けた溝と、

前記溝の底部の前記ベース領域表面に形成した一導電型のエミッタ領域と、

前記溝の内壁に設けたサイドウォールと、

前記溝を除く前記ベース領域全面とコンタクトする電極とを具備することを特徴とする半導体装置。

【請求項2】 一導電型のコレクタ層となる半導体基板の表面に形成した逆導電型のベース領域と、

前記ベース領域の表面に設けた溝と、

前記溝の底部の前記ベース領域表面に形成した一導電型のエミッタ領域と、

前記溝の内壁に設けたサイドウォールと、

前記溝に埋設され前記エミッタ領域にコンタクトするエミッタ電極と、

前記溝を除く前記ベース領域全面とコンタクトするベース電極層と、

前記ベース電極層を覆う絶縁膜と、

前記絶縁膜上に設けられ、前記ベース電極層とコンタクトするベース電極とを具備することを特徴とする半導体装置。

【請求項3】 前記溝は前記ベース領域よりも浅く形成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記溝はその内壁が傾斜を有し、前記傾斜の接線と前記半導体基板表面でなす角度が溝底部から前記半導体基板表面に向かうにつれて徐々に小さくなる形状であることを特徴とする請求項2に記載の半導体装置。

【請求項5】 前記ベース電極層はポリシリコンであることを特徴とする請求項2に記載の半導体装置。

【請求項6】 前記ベース電極層はシリサイドであることを特徴とする請求項2に記載の半導体装置。

【請求項7】 前記ベース電極層はシリサイドとポリシリコンの多層膜であることを特徴とする請求項2に記載の半導体装置。

【請求項8】 前記絶縁膜は酸化膜あるいは酸化膜と窒化膜の多層膜であることを特徴とする請求項2に記載の半導体装置。

【請求項9】 一導電型のコレクタ層の表面に、逆導電型のベース領域を形成する工程と、

前記ベース領域の表面にベース電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、

前記ベース電極層および前記絶縁膜の一部を開口して前記ベース領域に前記コレクタ層には達しない溝を形成し、前記溝の内壁にサイドウォールを形成する工程と、

前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程と、

前記ポリシリコン層から不純物を拡散してエミッタ領域を形成する工程と、

前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】 一導電型のコレクタ層の表面に、逆導電型のベース領域を形成する工程と、

前記ベース領域の表面にベース電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、

前記ベース電極層および前記絶縁膜の一部を開口して前記ベース領域に前記コレクタ層には達しないY形状の溝を形成し、前記溝の内壁にサイドウォールを形成する工程と、

前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程と、

前記ポリシリコン層から不純物を拡散してエミッタ領域を形成する工程と、

前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成す

る工程とを具備することを特徴とする半導体装置の製造方法。

【請求項11】 前記ベース電極層は、ポリシリコン又はシリサイド又は、  
ポリシリコンとシリサイドの多層膜で形成されることを特徴とする請求項9または  
請求項10に記載の半導体装置の製造方法。

【請求項12】 一導電型のコレクタ層を準備する工程と、

前記コレクタ層の表面に、逆導電型不純物を含んだポリシリコンよりなるベー  
ス電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、

前記ベース電極層および前記絶縁膜の一部を開口して前記コレクタ層に溝を形  
成し、全面に逆導電型不純物を導入する工程と、

前記溝の内壁にサイドウォールを形成する工程と、

前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程  
と、

前記ベース電極層と前記コレクタ層に形成した溝および溝周囲の不純物を拡散  
してベース領域を形成し、同時に前記ポリシリコン層から不純物を拡散してエミ  
ッタ領域を形成する工程と、

前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電  
極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成す  
る工程とを具備することを特徴とする半導体装置の製造方法。

【請求項13】 一導電型のコレクタ層を準備する工程と、

前記コレクタ層の表面に、逆導電型不純物を含んだポリシリコンよりなるベー  
ス電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、

前記ベース電極層および前記絶縁膜の一部を開口して前記コレクタ層にγ形状  
の溝を形成し、全面に逆導電型不純物を導入する工程と、

前記溝の内壁にサイドウォールを形成する工程と、

前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程  
と、

前記ベース電極層と前記コレクタ層に形成した溝および溝周囲の不純物を拡散  
してベース領域を形成し、同時に前記ポリシリコン層から不純物を拡散してエミ  
ッタ領域を形成する工程と、

前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

###### 【発明の属する技術分野】

本発明は半導体装置およびその製造方法に係り、特に高周波特性を改善できるトランジスタ装置およびその製造方法に関する。

##### 【0002】

###### 【従来の技術】

一般的なNPN型のプレーナー型トランジスタの構造を図17に示す。すなわちN<sup>+</sup>型の半導体層を具備するN型のコレクタ層51の表面にP型のベース領域53を形成し、ベース領域53表面にN<sup>+</sup>型のエミッタ領域54を形成し、表面をシリコン酸化膜55で被膜する。シリコン酸化膜55に開口部を形成してコンタクトホールとし、ベース電極56とエミッタ電極57を形成したものである。高周波特性は主としてベース幅W<sub>b</sub>に依存するので、エミッタ領域54周辺にP<sup>+</sup>型外部ベース領域58を設けたグラフトベース型の構造が採用されている。この形状では、狭いベース幅W<sub>b</sub>が得られると同時にベース・コレクタ接合に広がる空乏層の曲率を緩和し、且つベース取り出し抵抗r<sub>b</sub>を減じることができる。

##### 【0003】

また、浅いベース幅W<sub>b</sub>を得るためにには浅いエミッタ接合が不可欠であり、このために不純物をドープしたポリシリコン層からの不純物拡散によってエミッタ領域54を形成することが行われている（例えば特開平7-142497号）。

##### 【0004】

しかし、グラフトベース型では、ベース領域53と外部ベース領域58とを別工程で形成するために工程が複雑になり、浅いベース領域53を熱拡散で形成するためその拡散深さがばらつきやすく、高周波特性のばらつきも大きくなるなどの問題がある。

##### 【0005】

それを解決するために、図18に示すように、ベース領域63に形成した溝62内壁に、サイドウォール68を設け、溝62にエミッタ領域形成用の拡散源膜60を形成し、溝62の底部に露出するベース領域63から不純物を拡散させてエミッタ領域64を形成することも行われている（例えば特開2000-252290号）。

## 【0006】

## 【発明が解決しようとする課題】

図18に示すトランジスタでは、溝62の底部にエミッタ領域64を形成するので溝62深さによりベース幅 $W_b$ をコントロールできる。熱拡散で極めて浅い接合を得るには不純物濃度を低くする必要があり、ばらつきが発生してしまうのに対し、溝62によりベース領域63の不純物濃度をある程度高くできるので、ベース幅 $W_b$ のばらつきを減じることができる。又、外部ベース領域を形成する必要がないので工程も簡略化する。

## 【0007】

しかし、ベース電極69の接地がコンタクト孔のみであるので、キャリアが移動するベース電極69とエミッタ領域64直下のベースとして活性な領域との距離が長く、接地面積も少ないため、これ以上のベース取り出し抵抗 $r_b$ の低減には限界があった。

## 【0008】

また、エミッタ領域64の面積は容量成分 $C_{BE}$ と係わり、 $r_b$ および $C_{BE}$ は遮断周波数である $f_T$ に大きな影響を及ぼすので、それらの低減が望まれていた。

## 【0009】

## 【課題を解決するための手段】

本発明はかかる課題に鑑みてなされ、一導電型のコレクタ層の表面に形成した逆導電型のベース領域と、前記ベース領域の表面に設けた溝と、前記溝の底部の前記ベース領域表面に形成した一導電型のエミッタ領域と、前記溝の内壁に設けたサイドウォールと、前記溝を除く前記ベース領域全面とコンタクトする電極とを具備することを特徴とし、ベース電極層を溝の側面からベース領域全面に設けるので、エミッタ領域直下のベースとして活性な領域とベース電極の距離を低減

でき、かつベース電極の接地面積が増大する。つまり、ベース取り出し抵抗  $r_b$  が大幅に低減できることになる。

## 【0010】

その上、溝に設けたサイドウォールにより溝の底部が開口部より細くなるため、その底部に形成されるエミッタ領域の面積を低減し、容量成分  $C_{BE}$  の低減を実現するものである。

## 【0011】

また、一導電型のコレクタ層の表面に、逆導電型のベース領域を形成する工程と、前記ベース領域の表面にベース電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、前記ベース電極層および前記絶縁膜の一部を開口して前記ベース領域に前記コレクタ層には達しない溝を形成し、前記溝の内壁にサイドウォールを形成する工程と、前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程と、前記ポリシリコン層から不純物を拡散してエミッタ領域を形成する工程と、前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成する工程とを具備することを特徴とし、溝にサイドウォールを設けてエミッタ拡散を行うことにより、フォトエッチング技術の限界より更に微小化したエミッタ領域を形成できるのでより高周波特性に優れたトランジスタ装置を製造することができる。

## 【0012】

更に、一導電型のコレクタ層を準備する工程と、前記コレクタ層の表面に、逆導電型不純物を含んだポリシリコンよりなるベース電極層を形成し、該ベース電極層の表面に絶縁膜を形成する工程と、前記ベース電極層および前記絶縁膜の一部を開口して前記コレクタ層に溝を形成し、全面に逆導電型不純物を導入する工程と、前記溝の内壁にサイドウォールを形成する工程と、前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成する工程と、前記ベース電極層と前記コレクタ層に形成した溝および溝周囲の不純物を拡散してベース領域を形成し、同時に前記ポリシリコン層から不純物を拡散してエミッタ領域を形成する工程と、前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベ

ス電極を形成し、同時に前記ポリシリコン層にコンタクトするエミッタ電極を形成する工程とを具備することを特徴とし、エミッタ直下のベースとして活性な領域は溝周囲に導入された不純物を拡散することにより形成するので、浅い接合であってもばらつきの少ないトランジスタ装置を製造できる。

## 【0013】

## 【発明の実施の形態】

本発明の実施の形態を図1から図16を用いて詳細に説明する。

## 【0014】

図1は、本発明の第1の実施の形態であるNPN型トランジスタ装置を説明する断面図である。

## 【0015】

トランジスタは、コレクタ層1と、ベース領域3と、ベース電極層4と、溝8と、サイドウォール9と、ポリシリコン層10と、エミッタ領域11と、ベース電極12と、エミッタ電極13とから構成される。

## 【0016】

コレクタ層1は、裏面側にN<sup>+</sup>型の半導体層を有する半導体基板である。

## 【0017】

ベース領域3は、コレクタ層1の表面に形成したP型の領域である。熱拡散によって所定の拡散深さに形成した拡散領域、又は気相成長法によりコレクタ層1の上に形成された不純物濃度が厚み方向に一定のプロファイルを有する半導体層からなり、厚みは1.0 μm程度である。

## 【0018】

ベース電極層4は、溝8を除くベース領域3全面とコンタクトし、コレクタ領域1上まで覆うポリシリコン層からなり、導電性を持たせるため、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度の不純物を含む。また、ポリシリコン層に代えてシリサイド層又はポリシリコンとシリサイドの多層膜でもよい。ベース電極層4はコレクタ領域1の一部を覆い、12000 Å程度のLOCOS酸化膜2を介して設けられるのでベース-コレクタ間の容量も低減できる。ベース電極層4の上には酸化膜5を設けるが、酸化膜5の代わりに、酸化膜と窒化膜の多層膜等の絶縁膜でもよい。

【0019】

溝8は、ベース領域3の表面に形成し、ベース領域3より浅く、内壁にはサイドウォール9を有する。溝8の開口幅は0.5μm程度で且つベース領域3表面から深さ約0.7μmに掘り下げられ、溝8の底部にはエミッタ領域11が拡散されている。

【0020】

サイドウォール9は、ノンドープシリコン酸化膜等の絶縁膜からなり、約0.1μmの膜厚で溝8の内壁を被覆する。従って溝8を0.5μm×0.5μmで開口すると、その溝8の底部ではサイドウォール9によって0.3μm×0.3μmの大きさでベース領域3が露出する。

【0021】

ポリシリコン層10は、溝8の内壁を覆い、エミッタ領域11の拡散源となる。また、この上部に形成されるエミッタ電極13の一部を構成する。

【0022】

エミッタ領域11は、溝8の底部のベース領域3表面に形成されたN型不純物拡散領域で、0.1μm程度の深さを有する。

【0023】

ベース電極12は、ベース電極層4上の酸化膜5にスルーホールを設け、ベース電極層4とコンタクトさせる。ベース電極12には、ベース電極層4と同様の導電性材料又は金属を使用する。

【0024】

エミッタ電極13は、ポリシリコン層10とコンタクトし、ポリシリコン層10の上部に設けられる。

【0025】

図2は、本発明の第2の実施の形態であり、溝8をγ形状に形成したものである。溝8自体が底部が狭い形状となっており、これ以外は第1の実施の形態と同一構成要素である。

【0026】

溝8形成のエッチングガスを変更して異方性エッチングすると、その内壁が傾

斜を有し、傾斜の接線と半導体基板表面でなす角度が溝8底部から半導体基板表面に向かうにつれて徐々に小さくなり、結果として開口部より底部が狭いγ形状の溝8を得ることができる。この溝8に更にサイドウォールを形成すれば第1の実施の形態に示すエミッタ領域より更に微小なエミッタ領域11を形成することができる。

## 【0027】

本発明の特徴は、ベース電極層4と、溝8の内壁に設けられたサイドウォールに有る。

## 【0028】

ベース電極層4は、溝8を除くベース領域3全面にコンタクトしており、酸化膜5に設けたスルーホールを介してベース電極12をコンタクトさせることにより、ベース電極12の接地面積を大幅に向上できる。また、従来は、ベース電極とエミッタ領域直下のベースとして活性な領域の間隔が長くベース取り出し抵抗 $r_b$ の低減が困難であったが、本発明では溝8側面からベース領域3全面に広がるベース電極層4を設けることにより間隔を短縮できる。ベース電極の接地面積の向上と、ベース電極からエミッタ領域直下までの距離の低減により、ベース取り出し抵抗 $r_b$ を大幅に低減できるので、高周波特性が大きく向上する。

## 【0029】

また、エミッタ拡散のための溝8はフォトエッチングにより設けるが、開口幅0.5μm程度が現在の技術の限界である。しかし、サイドウォール9を設けることによりエミッタ拡散に使用する溝8の底部、つまりベース領域の開口幅を0.3μmまで低減することができる。つまり、このベース領域から拡散されたエミッタ領域11の面積を従来より低減でき、ひいては、ベースーエミッタ間容量 $C_{BE}$ の低減に大きく寄与できる。

## 【0030】

特に、本発明の第2の実施の形態として、図2に示すように溝8をγ形状に形成すれば、溝8底面のベース領域の露出幅は0.2μm程度まで縮小できるので、エミッタ領域11の面積を更に低減することが可能となり、高周波特性の向上に大変有利な構造となる。

【0031】

次に図3から図9に本発明のNPN型トランジスタの製造方法の第1の実施の形態を詳細に説明する。

【0032】

NPN型トランジスタの製造方法は、一導電型のコレクタ層1の表面に、逆導電型のベース領域3を形成する工程と、ベース領域3の表面にベース電極層4を形成し、ベース電極層4の表面に絶縁膜5を形成する工程と、ベース電極層4および絶縁膜5の一部を開口してベース領域3にコレクタ層1には達しない溝8を形成し、溝8の内壁にサイドウォール9を形成する工程と、溝8の内部にエミッタ拡散用の不純物を含むポリシリコン層10を形成する工程と、ポリシリコン層10から不純物を拡散してエミッタ領域11を形成する工程と、絶縁膜5にスルーホールを形成してベース電極層4にコンタクトするベース電極12を形成し、同時にポリシリコン層10にコンタクトするエミッタ電極13を形成する工程とから構成される。

【0033】

本実施の形態の第1の工程は、図3に示す如く、一導電型のコレクタ層の表面に、逆導電型のベース領域を形成することである。

【0034】

コレクタ取出しとなるN<sup>+</sup>型高濃度層を有するコレクタ層1を準備する。コレクタ層1表面を清浄化した後、素子分離のために12000Å程度のLOCOS酸化膜2を予定のベース領域の外側に形成する。予定のベース領域上にP型の不純物を導入後、熱拡散して不純物濃度が $1 \times 10^{14} \text{ cm}^{-2}$ 程度のベース領域3を形成する。又、気相成長法によりP型のエピタキシャル層を形成してベース領域3としてもよい。

【0035】

本実施の形態の第2の工程は、図4に示す如く、前記ベース領域の表面にベース電極層を形成し、該ベース電極層の表面に絶縁膜を形成することである。

【0036】

本工程は、本発明の第1の特徴となる工程であり、まず、全面にCVD法によ

り $4 \times 10^{15} \text{ cm}^{-2}$ 程度の不純物が導入されたポリシリコン層を膜厚 $5000 \text{ \AA}$ 程度堆積し、ベース領域3全面にコンタクトするベース電極層4を形成する。このポリシリコン層はシリサイド層でも良く、不純物を含むポリシリコン層の上にシリサイド層を形成して多層構造としても良い。

## 【0037】

更にこのベース電極層4の上には膜厚 $5000 \text{ \AA}$ 程度の酸化膜5を形成する。この酸化膜5の代わりに、酸化膜と窒化膜の多層膜等の絶縁膜でもよい。

## 【0038】

本工程により、ベース領域3全体にコンタクトするベース電極層4が形成され、ベース電極の接地面積が増加するので、従来コンタクト孔のみで接地していた場合と比較して大幅にベース取り出し抵抗 $r_b$ を低減することができる。

## 【0039】

また、ベース領域3全面に設けられているので、後の工程で形成されるエミッタ直下のベースとして活性な領域からベース電極までの距離を短縮することができ、これもベース取り出し抵抗 $r_b$ の低減に大きく寄与することになる。

## 【0040】

本実施の形態の第3の工程は、図5および図6に示す如く、前記ベース電極層および前記絶縁膜の一部を開口して前記ベース領域に前記コレクタ層には達しない溝を形成し、溝の内壁にサイドウォールを形成することである。

## 【0041】

本工程は本発明の第2の特徴となる工程であり、第1の実施例として図5(A)に、異方性RIEにより溝8を形成する方法を示す。

## 【0042】

ベース電極層4および酸化膜5の所望の位置にフォトエッチング技術により $0.5 \mu\text{m}$ 幅の開口部を設け、ベース領域3を露出させる。ベース電極層4および酸化膜5をマスクにしてベース領域3を通常のエッチングガスを用いて異方性RIEし、溝8を形成する。異方性RIEは開口部と底部でその幅が等しくエッチングされ、溝8の深さは前述したようにベース幅 $W_b$ を決める深さとなる。

## 【0043】

また、図5（B）に、本工程の第2の実施例としてこの溝8をγ型に形成する方法を示す。

#### 【0044】

第1の実施例と同様にベース電極層4および酸化膜5に開口部を設け、通常のシリコンエッティングのガスに変えてHBr、N<sub>2</sub>およびHeO<sub>2</sub>を用いて開口部から露出したベース領域3を異方性エッティングする。この方法によると、HBrおよびHeO<sub>2</sub>の特性によりエッティング溝の側壁に堆積物を形成しながらエッティングが進む。そのため溝8内壁が傾斜を有し、傾斜の接線と半導体基板表面でなす角度が溝8底部から半導体基板表面に向かうにつれて徐々に小さくなり、結果として開口部よりその底部が狭いγ形状の溝8が形成される。

#### 【0045】

次に図6に示すように、その溝8の内壁にサイドウォール9を形成する。全面にLPCVD法によりNSG膜（Non-Doped silicate glass）を形成する。この膜厚は開口部の2分の1以下であれば良く、これにより溝8の内部にNSG膜が埋設される。その後全面を異方性エッティングしてNSG膜を除去し、溝8の内壁にサイドウォール9を形成する。サイドウォール9は堆積したNSG膜の膜厚と同じ厚みを有するので、例えばNSGを1000Å堆積すればサイドウォールの厚みは0.1μmとなる。

#### 【0046】

つまり、本工程の第1の実施例の場合で開口部が0.5μmであってもその底部では0.3μmとなる。特に、第2の実施例であればγ形状の溝は先が細くなっているためサイドウォール9により溝8の底部は更に微小になり、例えば0.2μm程度まで縮小できる。

#### 【0047】

微細な底部の幅を得られれば後の工程で形成されるエミッタ領域の面積が低減でき、ベースーエミッタ間の容量C<sub>BE</sub>を低減できる。

#### 【0048】

本実施の形態の第4の工程は、図7に示す如く、前記溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成することである。

【0049】

CVD法により全面にポリシリコン層10を形成する。ポリシリコン層10は、溝8内部を埋設し、溝8底部から露出したベース領域3表面にコンタクトする。全面にエミッタ拡散用のヒ素をドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入した後、通常のフォトエッチング技術によりポリシリコン層10をパターンニングし、溝8内部とその周囲にのみ残して残りを除去する。

【0050】

このポリシリコン層10は、後の工程でエミッタ電極を形成する際にその一部を構成する。

【0051】

本実施の形態の第5の工程は図8に示すごとく、前記ポリシリコン層から不純物を拡散してエミッタ領域を形成することである。

【0052】

全体に900～1000°C、0.5～2時間の熱処理を与えることにより、ポリシリコン層10からヒ素を拡散してエミッタ領域11を形成する。溝8の内壁がサイドウォール9で被覆されているので溝8の底部にのみ不純物を拡散することができる。

【0053】

また、エミッタ領域11直下のベース領域3がベースとして活性な領域となり、溝8深さによってベース幅W<sub>b</sub>をコントロールできる。従来のように熱拡散で極めて浅い接合を得るには不純物濃度を低下する必要があり、ばらつきが大きくなってしまうが、ベース領域3をある程度の深さで形成した上で、溝8底部からの拡散によりエミッタ領域11を形成することにより、浅い接合でありながら、ベース領域3もある程度の濃度で均一に形成できており、工程が簡略化し、ベース活性領域のばらつきを低減できる。

【0054】

特に前述したように、γ形状の溝8の場合はより底部が狭くなっているため、より微小なエミッタ領域11を得ることができ、ベースーエミッタ容量の低減に大きく寄与できるので高周波特性が改善される。

【0055】

本実施の形態の第6の工程は、図9に示す如く前記絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時にポリシリコン層にコンタクトするエミッタ電極を形成することである。

【0056】

酸化膜5をフォトエッチング技術により開口して、LOCOS酸化膜2上のベース電極層4の一部を露出するスルーホールを形成する。全体に導電性の材料を堆積し、所望の形状にフォトエッチングすることによりベース電極層4にコンタクトするベース電極12を形成する。

【0057】

ベース電極12がコンタクトするベース電極層4は、溝8の開口部に隣接して形成されているため、キャリアはエミッタ領域11直下のベースとして活性な領域とベース電極層4との間を移動することになり、従来コンタクト孔のみでベース電極が接地していた場合と比較して距離が従来より大幅に縮小でき、接地面積も向上するのでベース取り出し抵抗 $r_b$ の低減に大きく寄与できる。

【0058】

また、コレクタ層1上には分離のためのLOCOS酸化膜2が形成されているのでこの部分でのベースーコレクタ容量も低減することができる。

【0059】

一方、このフォトエッチングで同時にポリシリコン層10上にエミッタ電極13を形成し、裏面に金属を蒸着してコレクタ電極（図示せず）を形成する。

【0060】

次に、図10から図16に本発明のNPN型トランジスタの製造方法について第2の実施の形態を詳細に説明する。

【0061】

NPN型トランジスタの製造方法の第2の実施の形態は、一導電型のコレクタ層1を準備する工程と、コレクタ層1の表面に、逆導電型不純物を含んだポリシリコンよりなるベース電極層4を形成し、ベース電極層4の表面に絶縁膜5を形成する工程と、ベース電極層4および絶縁膜5の一部を開口してコレクタ層1に

溝8を形成し、全面に逆導電型不純物を導入する工程と、溝8の内壁にサイドウォール9を形成する工程と、溝8の内部にエミッタ拡散用の不純物を含むポリシリコン層10を形成する工程と、ベース電極層4および溝8周囲の不純物を拡散してベース領域3を形成し、同時にポリシリコン層10から不純物を拡散してエミッタ領域11を形成する工程と、絶縁膜5にスルーホールを形成してベース電極層4にコンタクトするベース電極12を形成し、同時にポリシリコン層10にコンタクトするエミッタ電極13を形成する工程とから構成される。

## 【0062】

本実施の形態の第1の工程は、図10に示す如く、一導電型のコレクタ層を準備することである。

## 【0063】

コレクタ取出しとなるN<sup>+</sup>型高濃度層を有するコレクタ層1を準備する。コレクタ層1表面を清浄化した後、素子分離のために12000Å程度のLOCOS酸化膜2を予定のベース領域の外側に形成する。

## 【0064】

本実施の形態の第2の工程は、図11に示す如く、コレクタ層の表面に、逆導電型不純物を含んだポリシリコンよりなるベース電極層を形成し、ベース電極層の表面に絶縁膜を形成することである。

## 【0065】

本工程は、第1の実施の形態と同様、本発明の第1の特徴となる工程であり、全面にCVD法により $4 \times 10^{15} \text{ cm}^{-2}$ 程度のP型不純物が導入されたポリシリコン層を膜厚5000Å程度堆積し、コレクタ層1およびLOCOS酸化膜2にコンタクトするベース電極層4を形成する。

## 【0066】

更にこのベース電極層4の上には膜厚5000Å程度の酸化膜5を形成する。この酸化膜5の代わりに、酸化膜と窒化膜の多層膜等の絶縁膜でもよい。

## 【0067】

本実施の形態の第3の工程は、図12に示す如く、ベース電極層および絶縁膜の一部を開口してコレクタ層に溝を形成し、全面に逆導電型不純物を導入するこ

とである。

## 【0068】

本工程もやはり第1の実施の形態と同様に本発明の第2の特徴となる工程であり、図12（A）に異方性RIEにより溝8を形成する方法を示す。

## 【0069】

ベース電極層4および酸化膜5の所望の位置にフォトエッチング技術により0.5μm幅の開口部を設け、コレクタ層1を露出させる。ベース電極層4および酸化膜5をマスクにしてコレクタ層1を通常のエッチングガスを用いて異方性RIEし、溝8を形成する。異方性RIEは開口部と底部でその幅が等しくエッチングされる。

## 【0070】

また、第1の実施の形態と同様に溝8は、シリコンエッチングのガスにHBr、N<sub>2</sub>およびHeO<sub>2</sub>を用いて異方性エッチングし、図12（B）に示すようにγ型に形成してもよい。

## 【0071】

その後、全面に $1 \times 10^{14} \text{ cm}^{-2}$ 程度のボロン等のP型不純物をイオン注入する。これにより、ベース電極層4と、溝8周囲のコレクタ層1にP型不純物が導入される。

## 【0072】

本実施の形態の第4の工程は、図13に示す如く、溝の内壁にサイドウォールを形成することである。

## 【0073】

本工程は第1の実施の形態の第3工程図6の説明と同一であるので、記載を省略する。

## 【0074】

本実施の形態の第5の工程は、図14に示す如く、溝の内部にエミッタ拡散用の不純物を含むポリシリコン層を形成することである。

## 【0075】

本工程も第1の実施の形態第4工程図7の説明と同一であるので、記載を省略

する。

【0076】

本実施の形態の第6の工程は、図15に示す如く、ベース電極層とコレクタ層に形成した溝および溝周囲の不純物を拡散してベース領域を形成し、同時にポリシリコン層から不純物を拡散してエミッタ領域を形成することである。

【0077】

本工程は、本実施の形態の第3の特徴となる工程であり、全体に900~1000°C、0.5~2時間の熱処理を与えることにより、ベース電極層4と溝8および溝8周囲に導入されたP型不純物をコレクタ層1に拡散してベース領域3を形成する。また、同時にポリシリコン層10からヒ素を拡散してエミッタ領域11を形成する。溝8の内壁がサイドウォールで被覆されているので溝8の底部にのみエミッタ不純物を拡散することができる。

【0078】

これにより、ベースとして活性な領域となるエミッタ領域11直下のベース領域3を、溝8底部からのイオン注入及び熱拡散で形成できるため、浅い接合でありながら、不純物濃度が均一となり、ベース活性領域のばらつきを抑制できる。

【0079】

また、ベース領域3全体としても不純物濃度が均一となり、ばらつきを抑制できる。

【0080】

本実施の形態の第7の工程は、図16に示す如く、絶縁膜にスルーホールを形成してベース電極層にコンタクトするベース電極を形成し、同時にポリシリコン層にコンタクトするエミッタ電極を形成することである。

【0081】

本工程は、第1の実施の形態第6工程図9の説明と同一であるので記載を省略する。

【0082】

尚、本発明の実施の形態ではNPN型トランジスタを例に説明したが、導電性を逆にしたPNP型トランジスタでも実施が可能である。

## 【0083】

## 【発明の効果】

本発明の構造に依れば、第1にベース取り出し抵抗 $r_b$ が大幅に低減できる。全面に設けたベース電極層4および酸化膜5をマスクとして溝8を形成することにより、溝8とベース電極層4が隣接することになる。キャリアはエミッタ直下のベースとして活性な領域とベース電極層4の間を移動するため、従来コンタクト孔のみで接地していた場合と比較して距離も大幅に短縮できる上、接地面積も大きく向上する。つまり、ベース取り出し抵抗 $r_b$ を低減できるので、高周波特性の向上に大変有効となる。

## 【0084】

第2にフォトエッチング技術の限界より更に微小なエミッタ領域11を形成できる。溝8内壁のサイドウォール9により開口部より溝8の底部では幅が狭くなり、底部からの不純物拡散によって形成されるエミッタ領域11は微小なものとなる。

## 【0085】

特に本発明の第2の実施例で示すように、エミッタ領域11形成用の溝8自体を開口部より底部の幅が狭いγ形状にすることにより、エミッタ領域11の面積がより微小になる。エミッタ領域11の面積はベースーエミッタ間容量 $C_{BE}$ と係わり、この容量が低減できるので高周波特性が大きく向上する。

## 【0086】

また、本発明の製造方法に依れば、第1にエミッタ領域11形成のための溝8を開口するマスクをドープドポリシリコンと絶縁膜に変更するだけで、取り出しベース抵抗 $r_b$ を大幅に低減することができる。

## 【0087】

第2に溝8に設けたサイドウォール9によりフォトエッチング技術の限界より微小なエミッタ領域11を形成できる。特に、エッティングガスを代えることにより、γ形状の溝8が形成でき、更に微小なエミッタ領域11を形成できる利点を有する。

## 【0088】

第3に、溝8の形成により、第1の実施の形態では溝8深さでベース幅 $W_b$ をコントロールでき、第2の実施の形態では溝8からの拡散によりベース領域3を形成することができるので、浅い接合でありながら、どちらの場合もベース領域3およびエミッタ領域11直下のベース活性領域の不純物濃度が均一に形成でき、ばらつきを低減できる。

【0089】

つまり、ベース活性領域のばらつきを抑え、ベースーエミッタ間容量を低減し、且つベース取り出し抵抗 $r_b$ を低減できるので、高周波特性に優れた半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】

本発明の半導体装置を説明する断面図である。

【図2】

本発明の半導体装置を説明する断面図である。

【図3】

本発明の半導体装置の製造方法を説明する断面図である。

【図4】

本発明の半導体装置の製造方法を説明する断面図である。

【図5】

本発明の型半導体装置の製造方法を説明する断面図である。

【図6】

本発明の半導体装置の製造方法を説明する断面図である。

【図7】

本発明の半導体装置の製造方法を説明する断面図である。

【図8】

本発明の半導体装置の製造方法を説明する断面図である。

【図9】

本発明の半導体装置の製造方法を説明する断面図である。

【図10】

本発明の半導体装置の製造方法を説明する断面図である。

【図11】

本発明の半導体装置の製造方法を説明する断面図である。

【図12】

本発明の半導体装置の製造方法を説明する断面図である。

【図13】

本発明の半導体装置の製造方法を説明する断面図である。

【図14】

本発明の半導体装置の製造方法を説明する断面図である。

【図15】

本発明の半導体装置の製造方法を説明する断面図である。

【図16】

本発明の半導体装置の製造方法を説明する断面図である。

【図17】

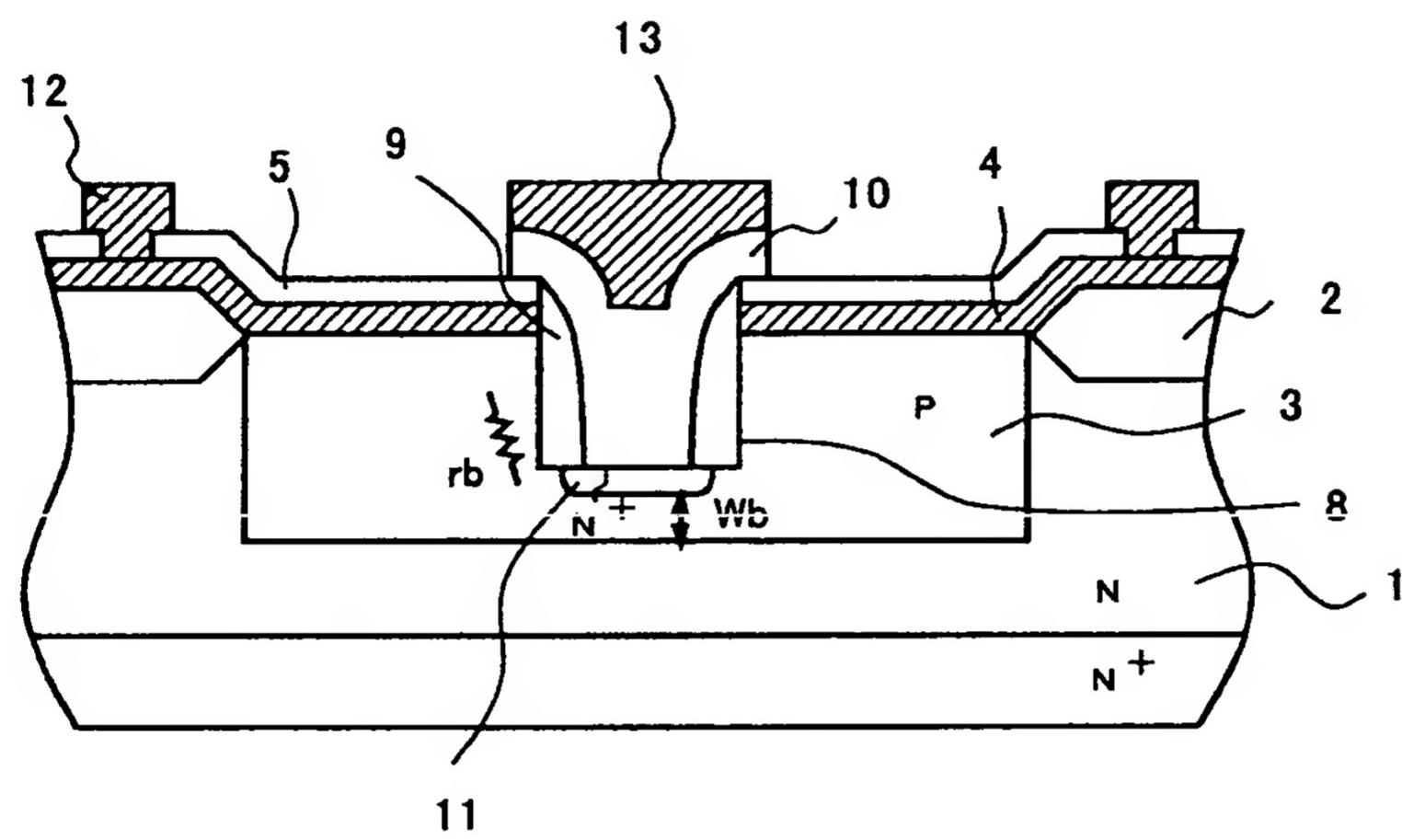
従来の技術を説明する断面図である。

【図18】

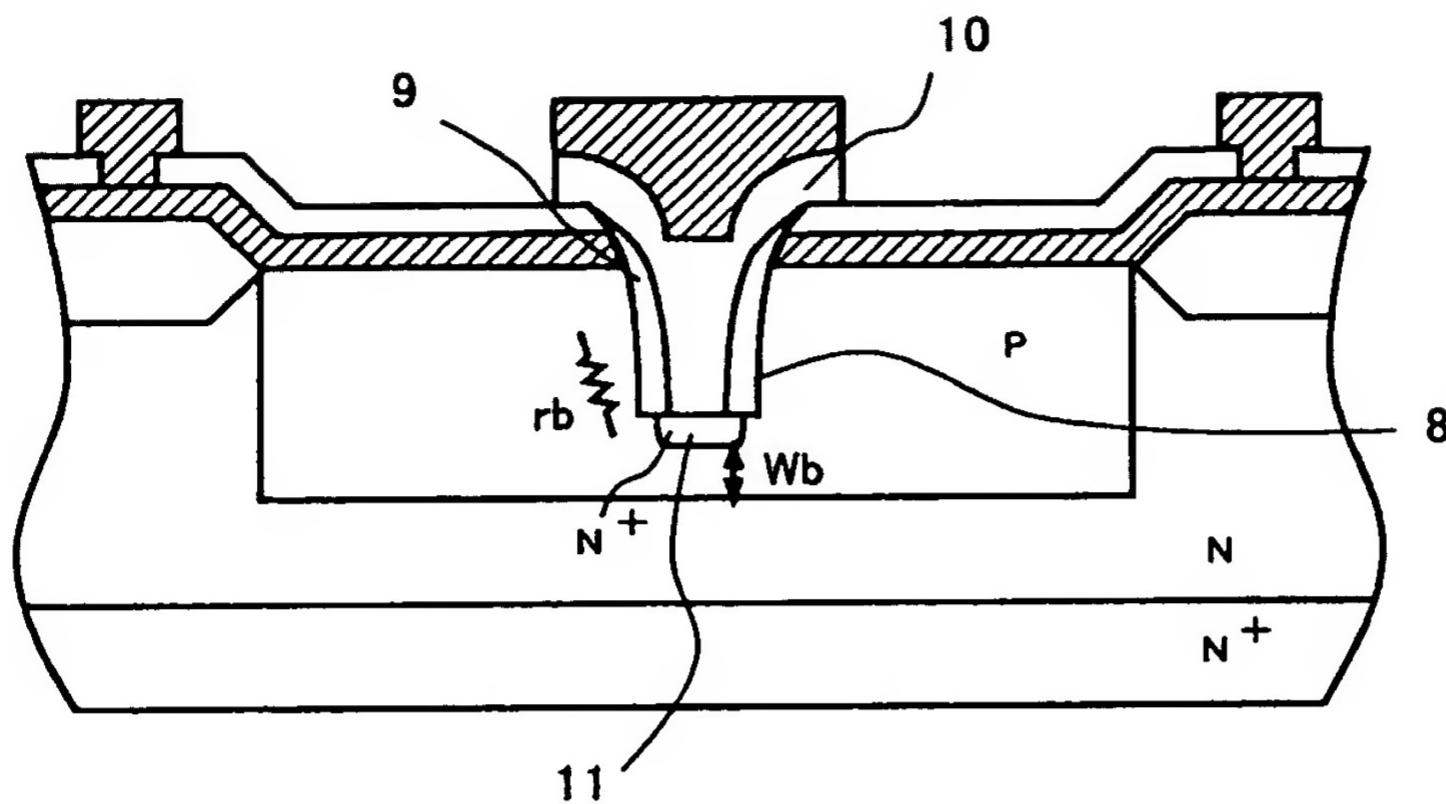
従来の技術を説明する断面図である。

【書類名】 図面

【図1】

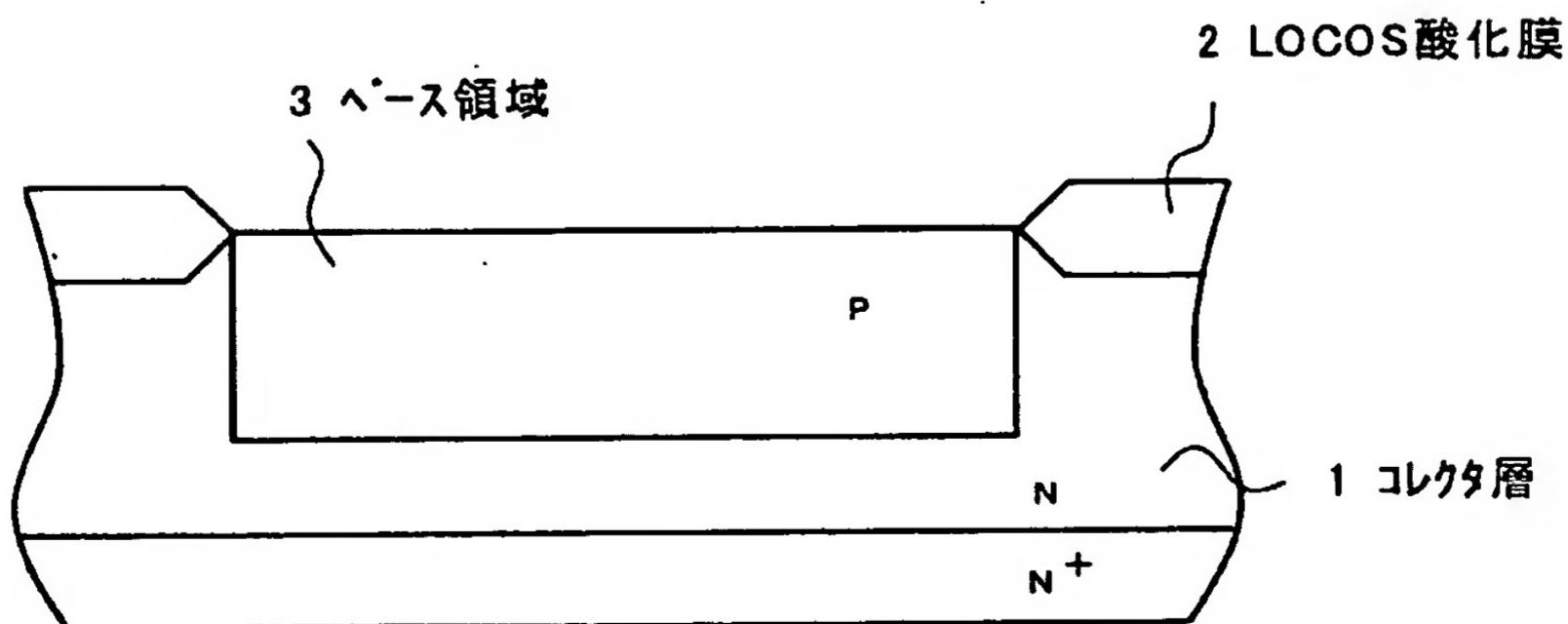


【図2】

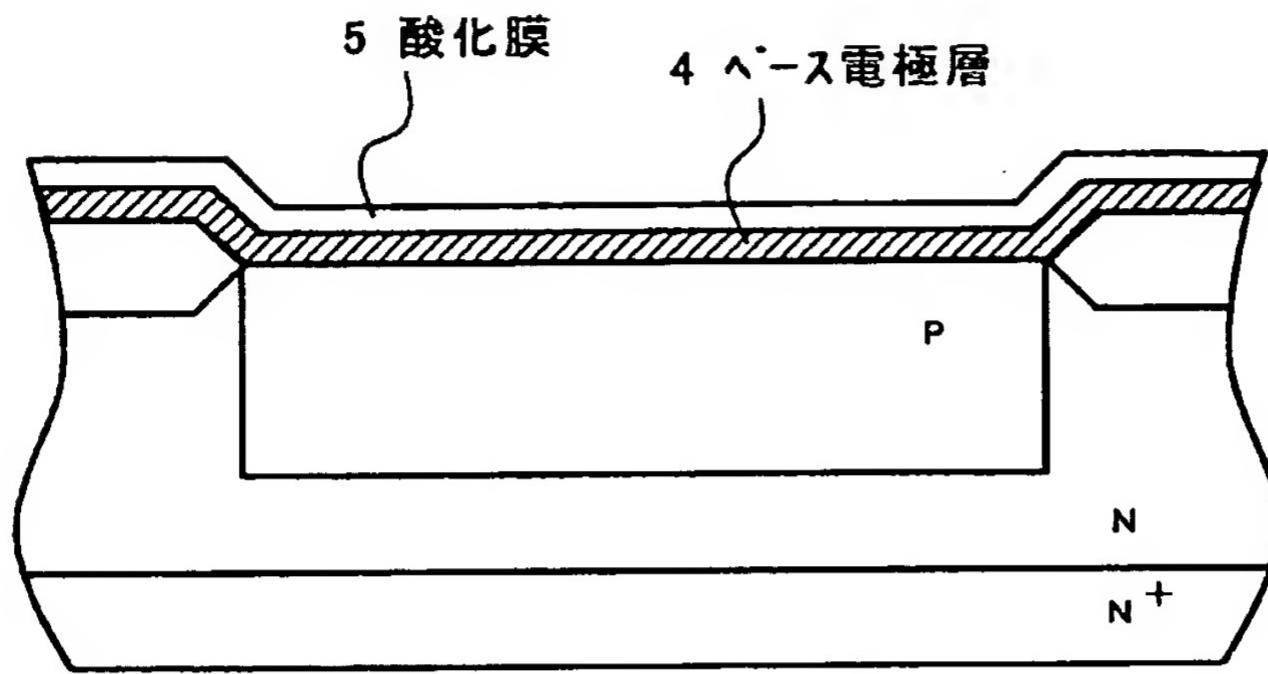


- |            |            |
|------------|------------|
| 1 コレクタ層    | 8 溝        |
| 2 LOCOS酸化膜 | 9 サイドウォール  |
| 3 ベース領域    | 10 ポリシリコン層 |
| 4 ベース電極層   | 11 エミッタ領域  |
| 5 酸化膜      | 12 ベース電極   |
|            | 13 エミッタ電極  |

【図3】

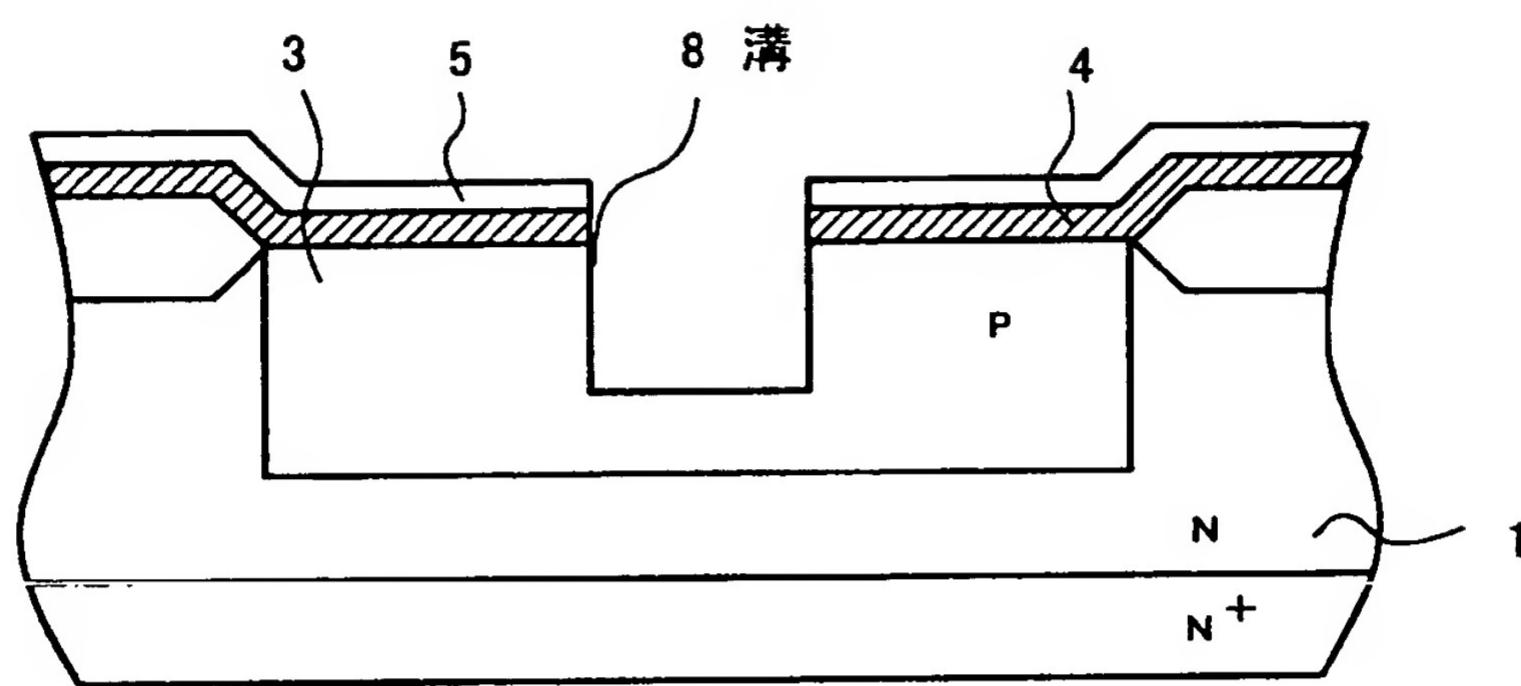


【図4】

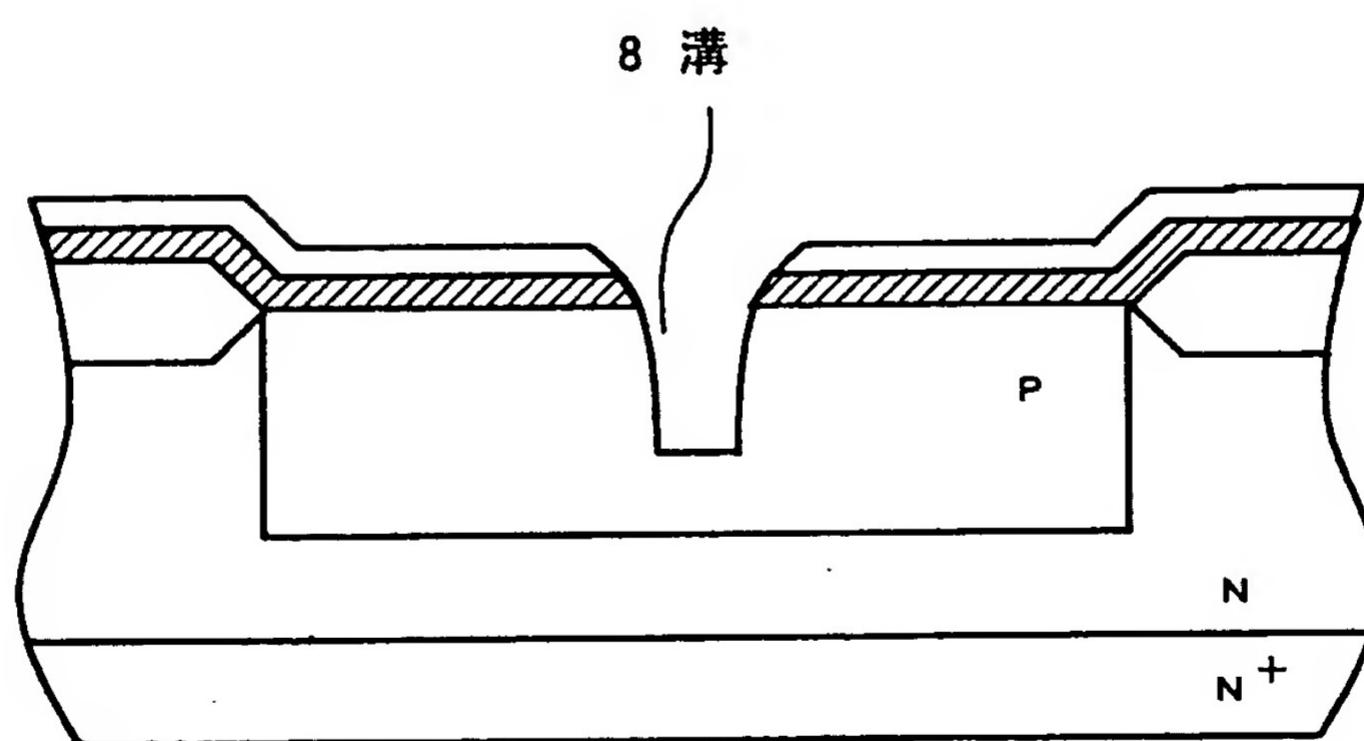


【図5】

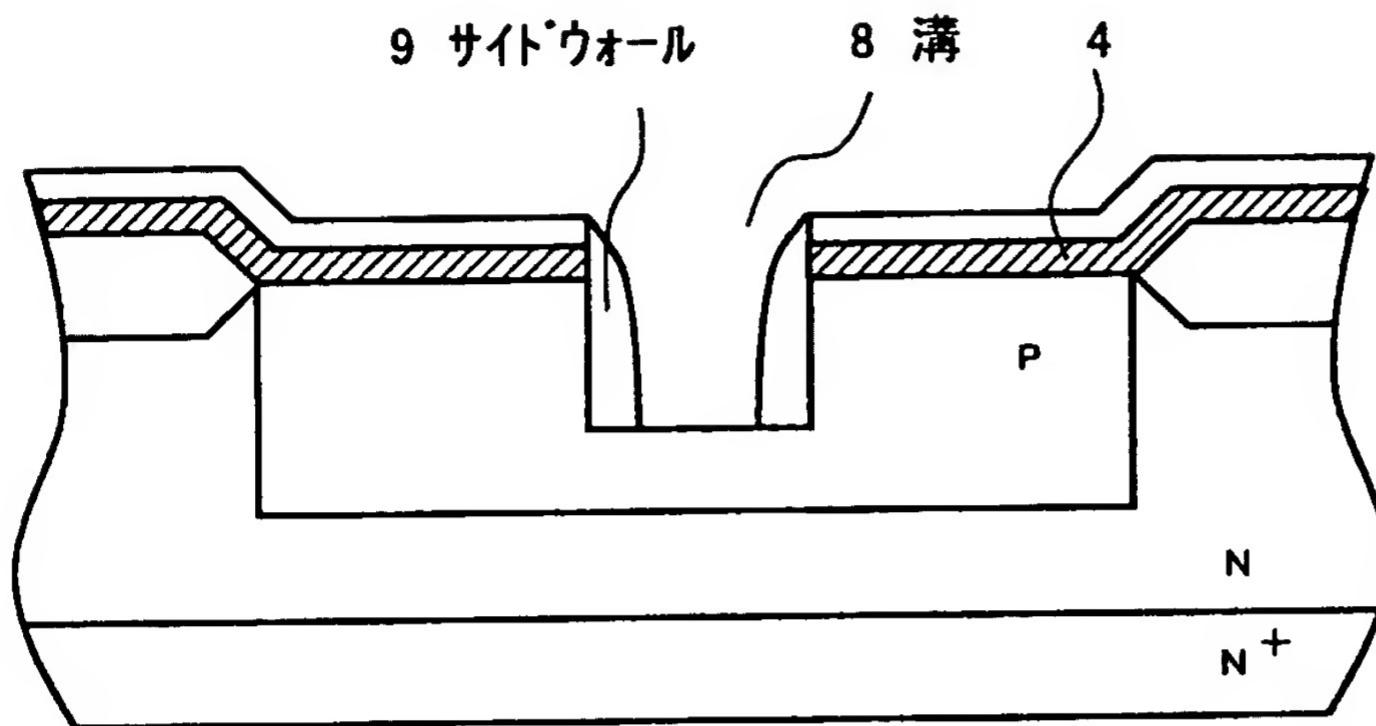
(A)



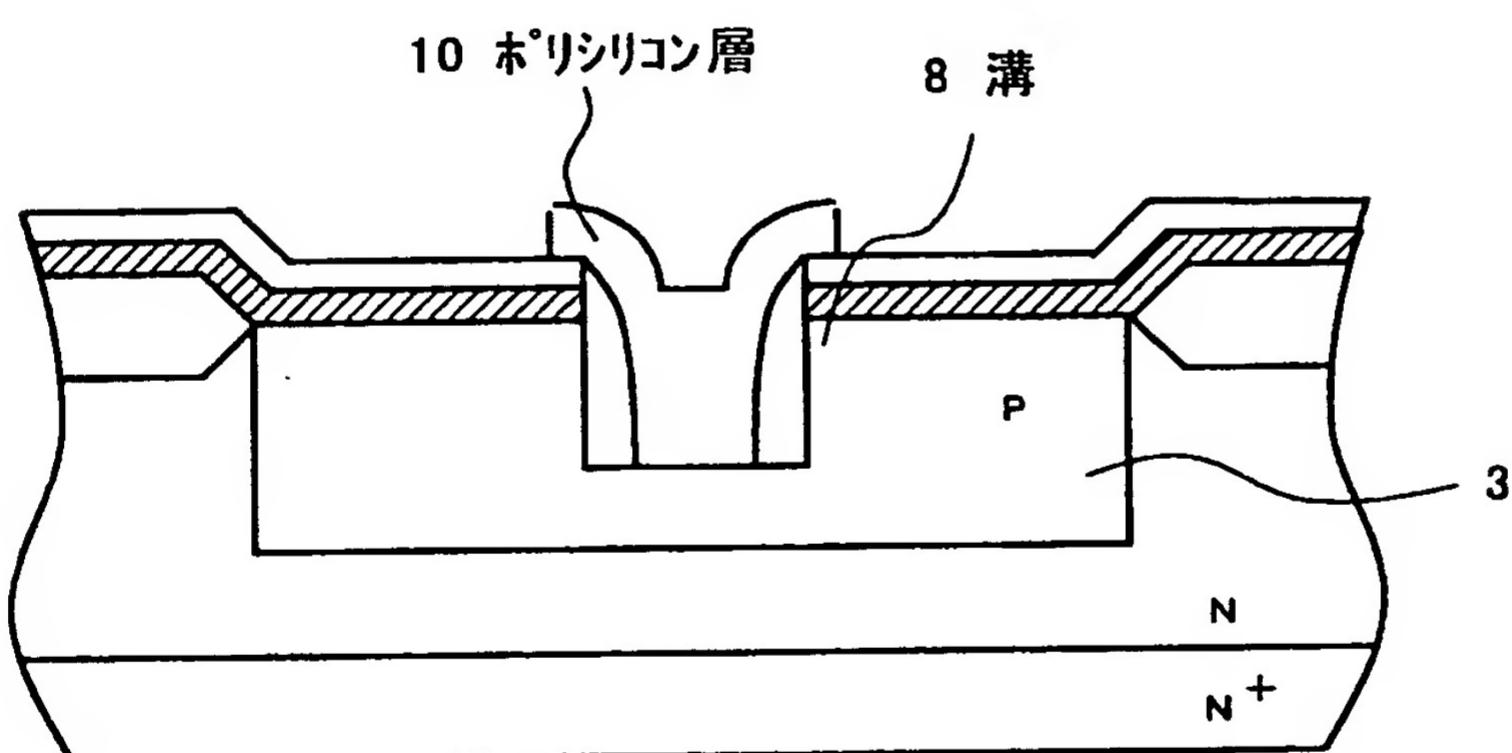
(B)



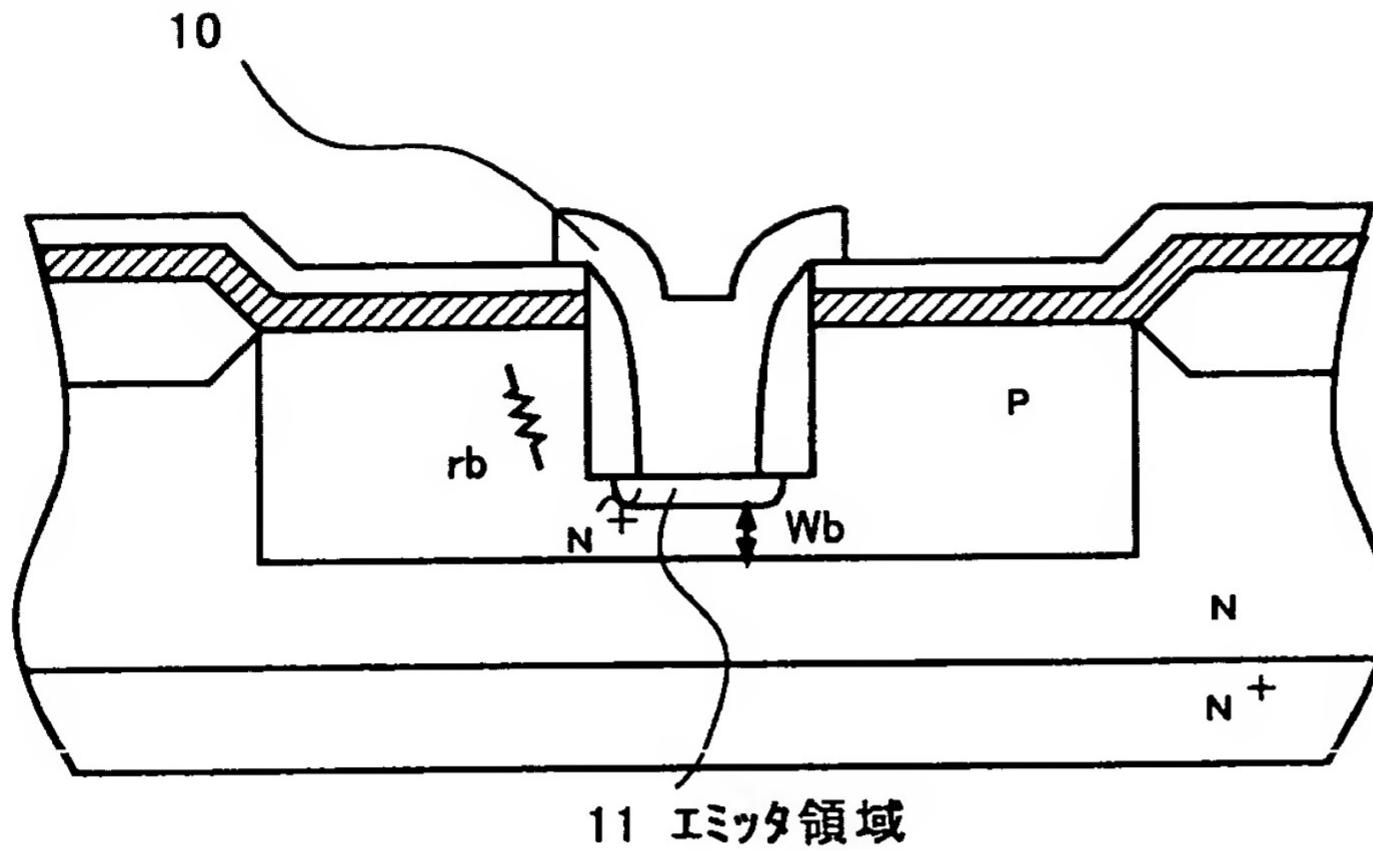
【図6】



【図7】

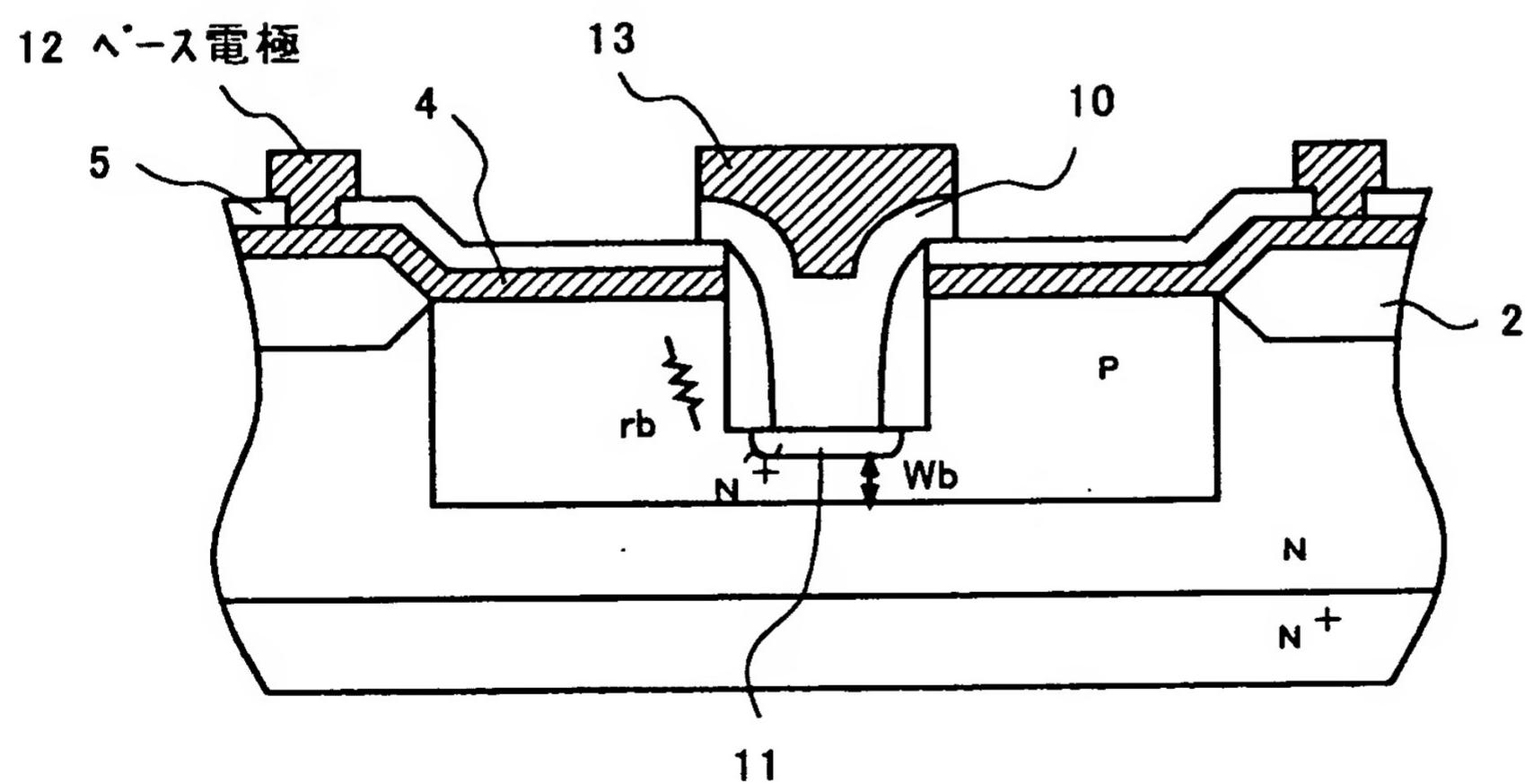


【図8】



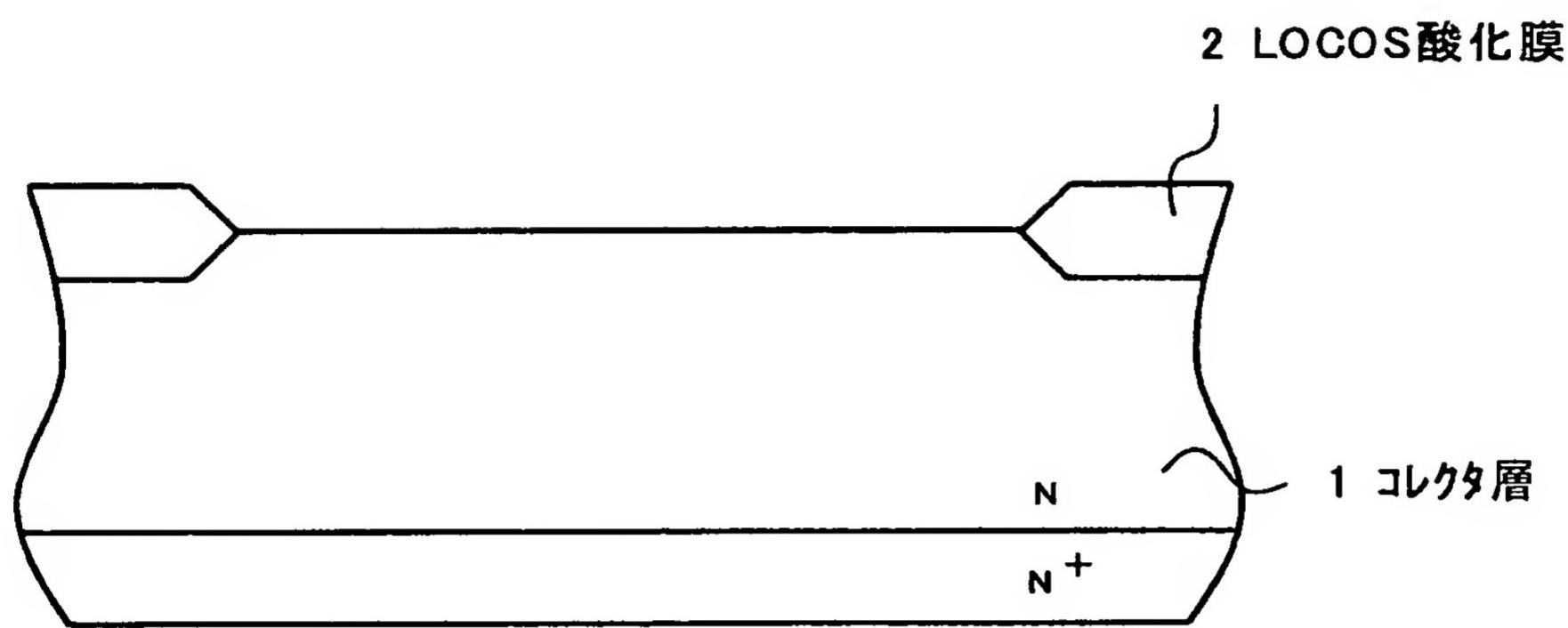
11 エミッタ領域

【図9】

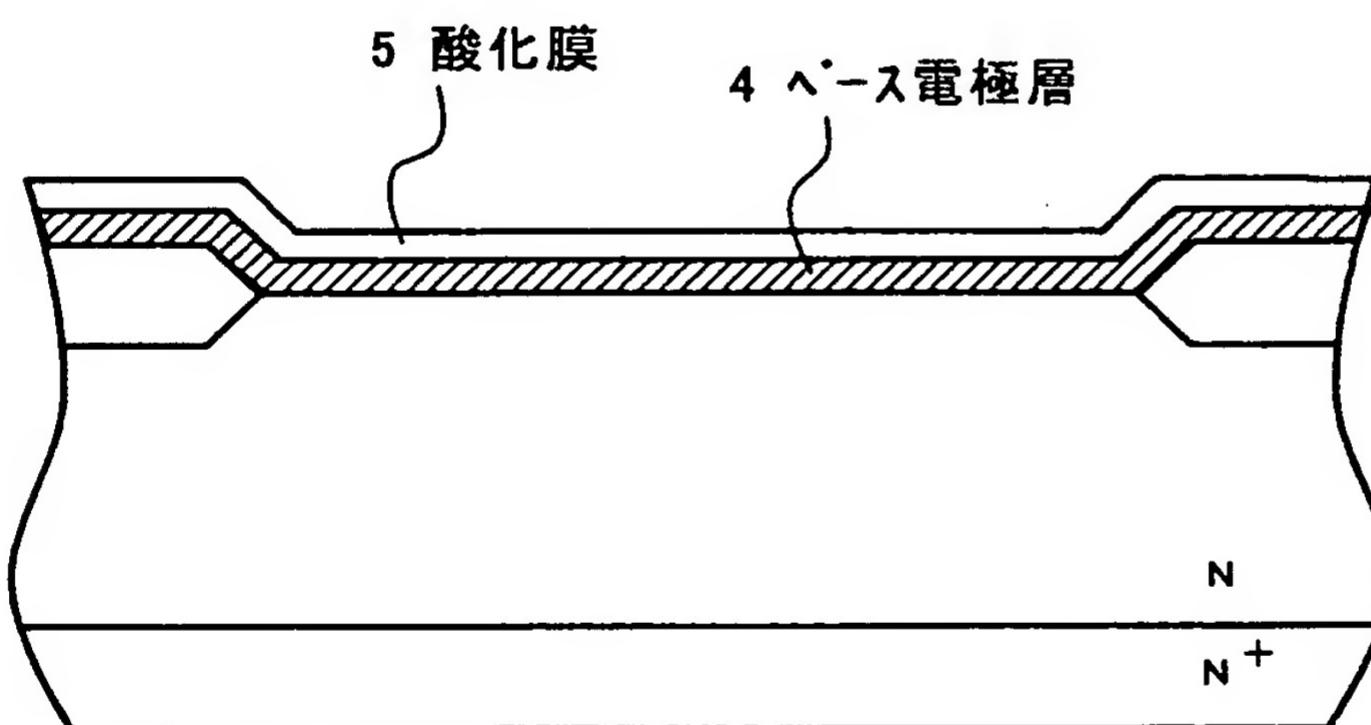


11

【図10】

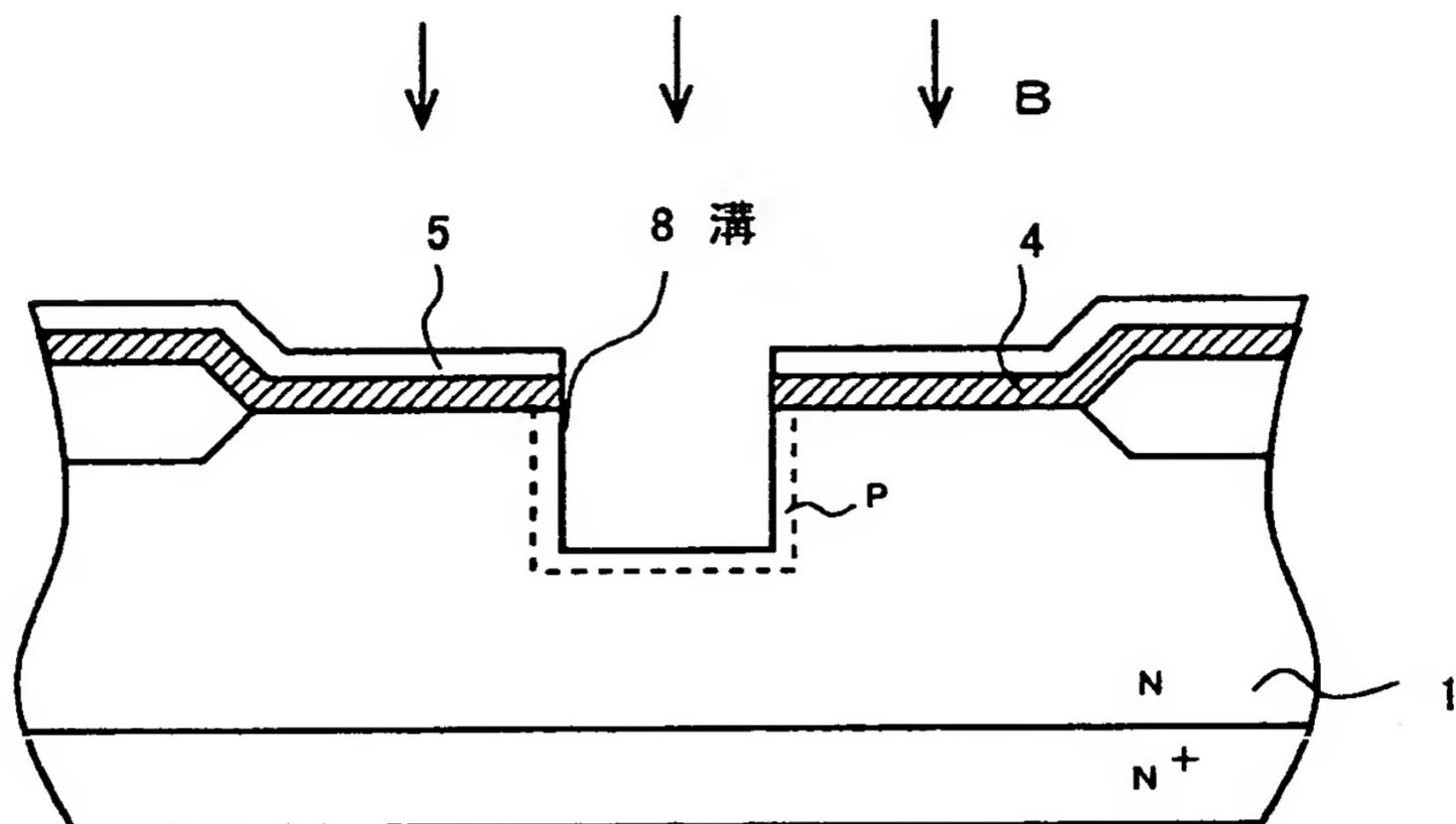


【図11】

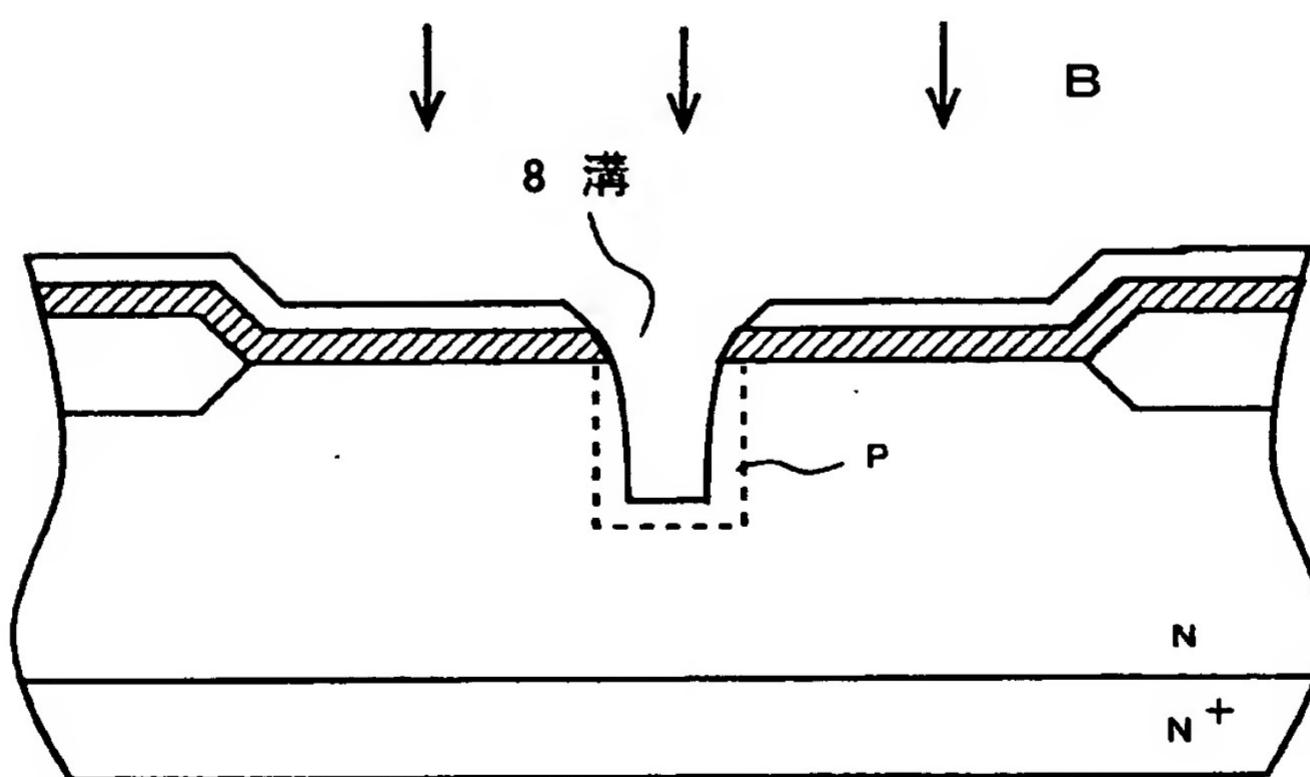


【図12】

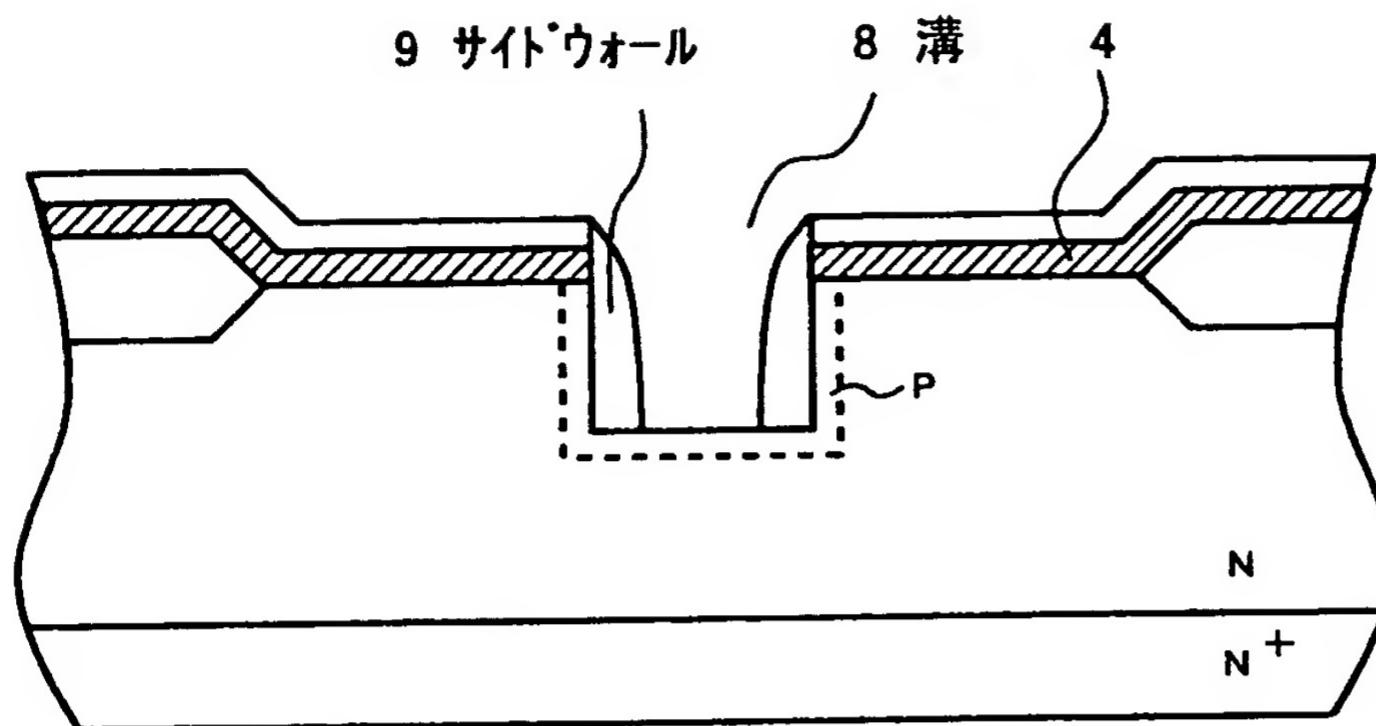
( A )



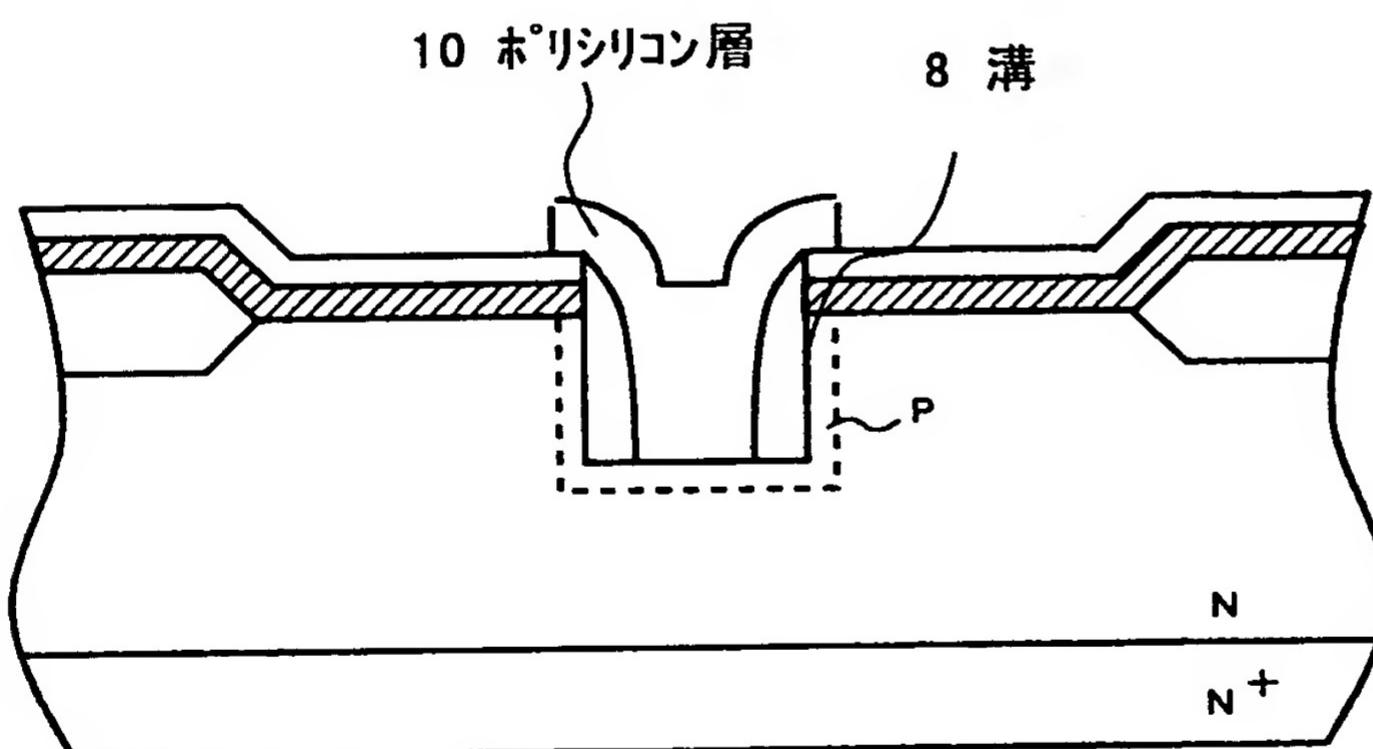
( B )



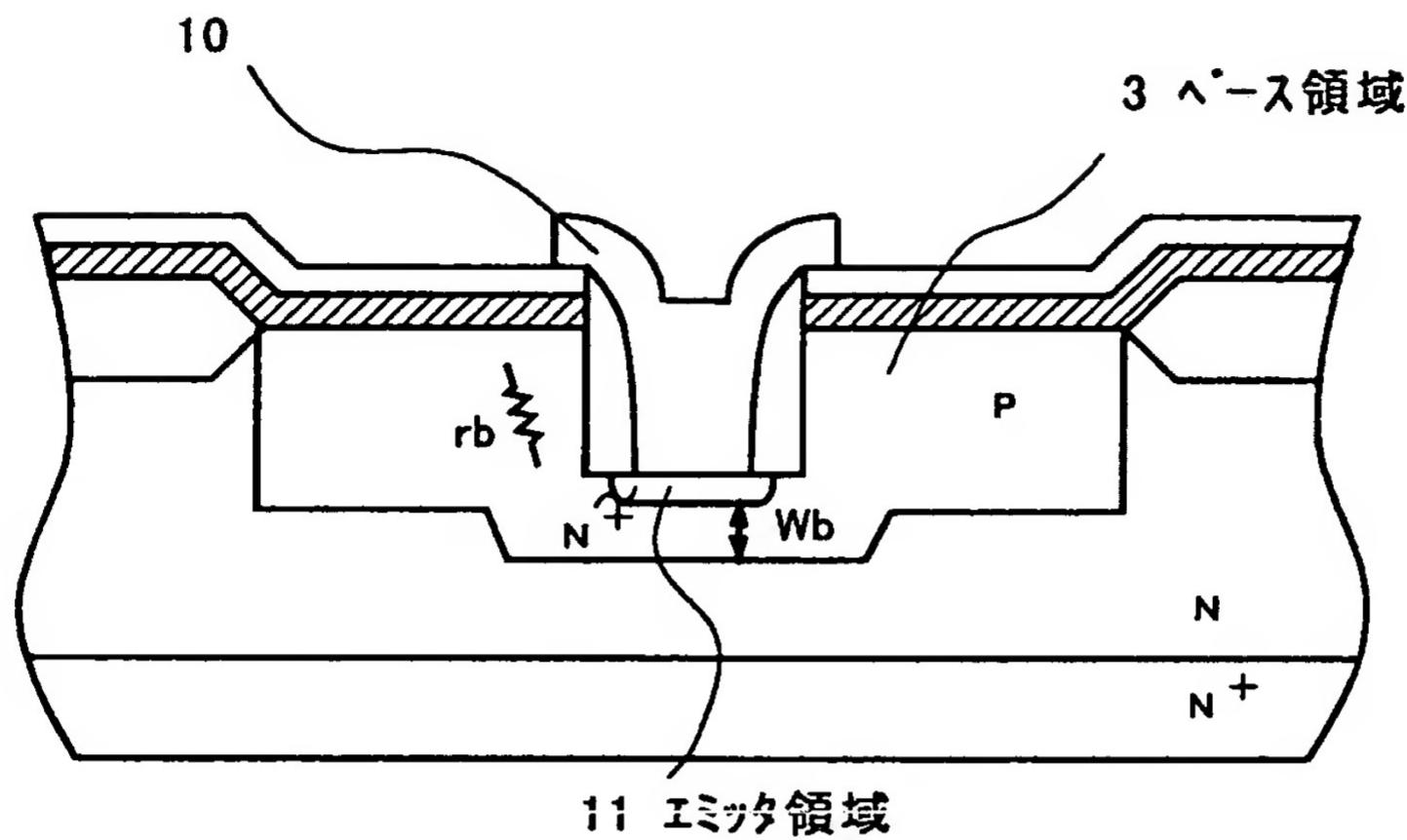
【図13】



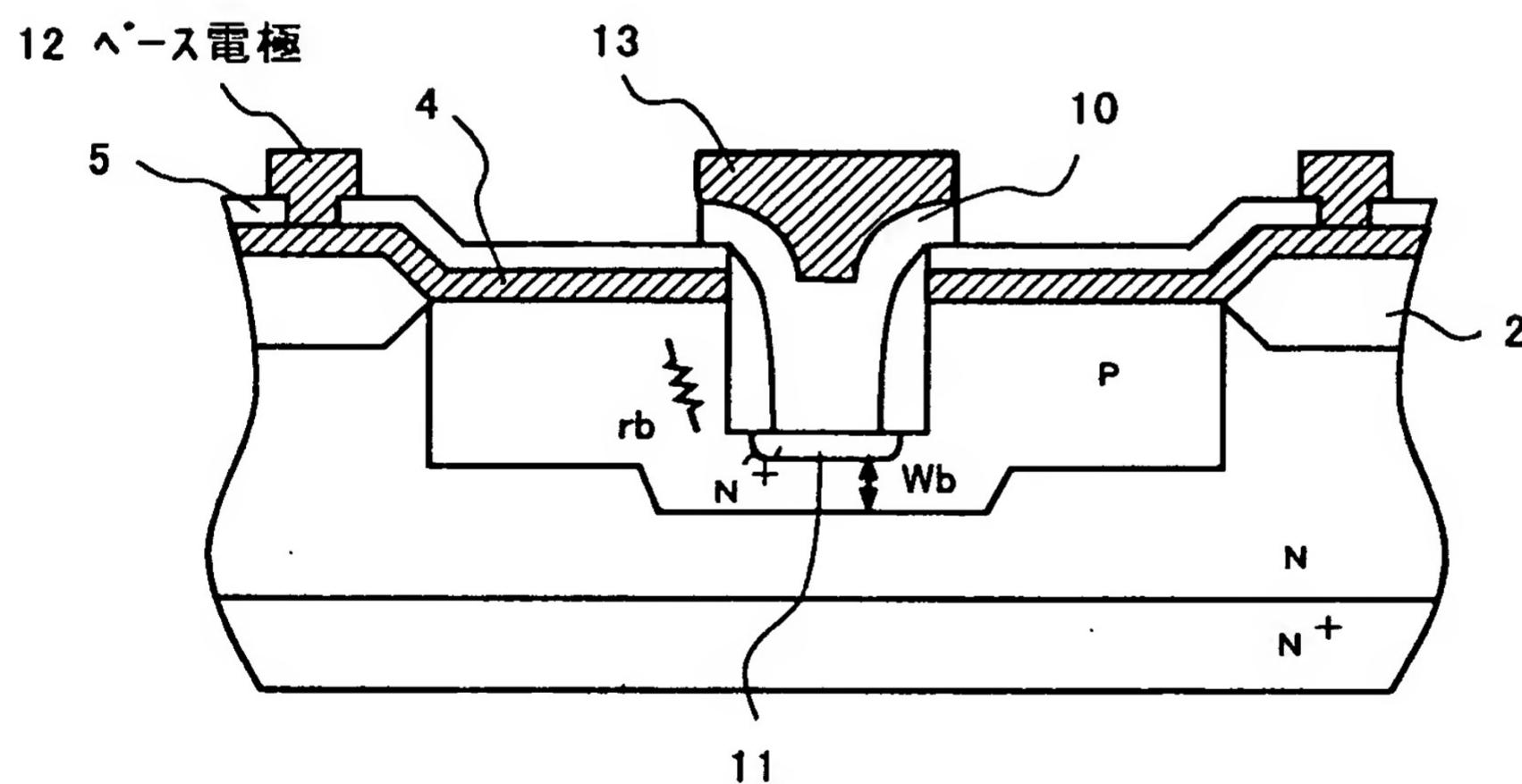
【図14】



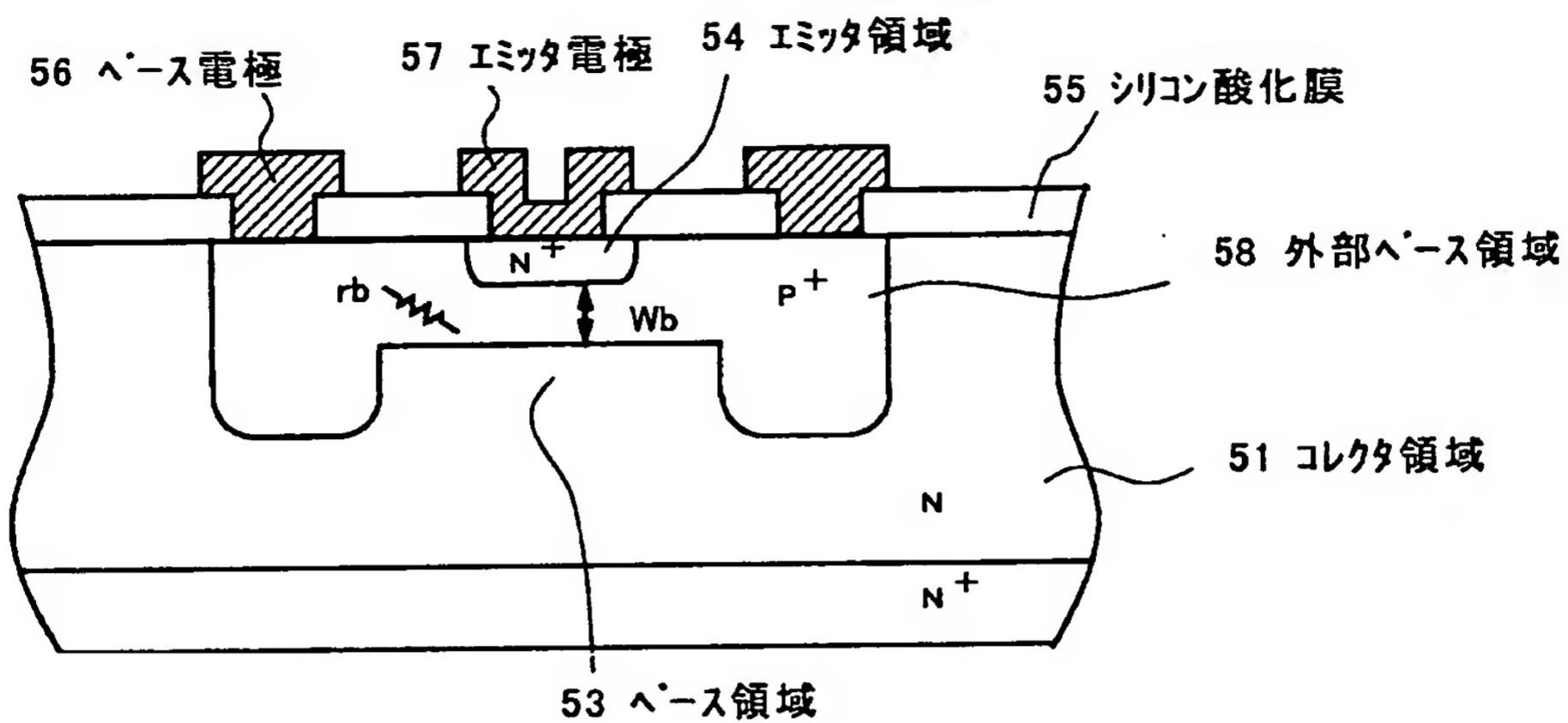
【図15】



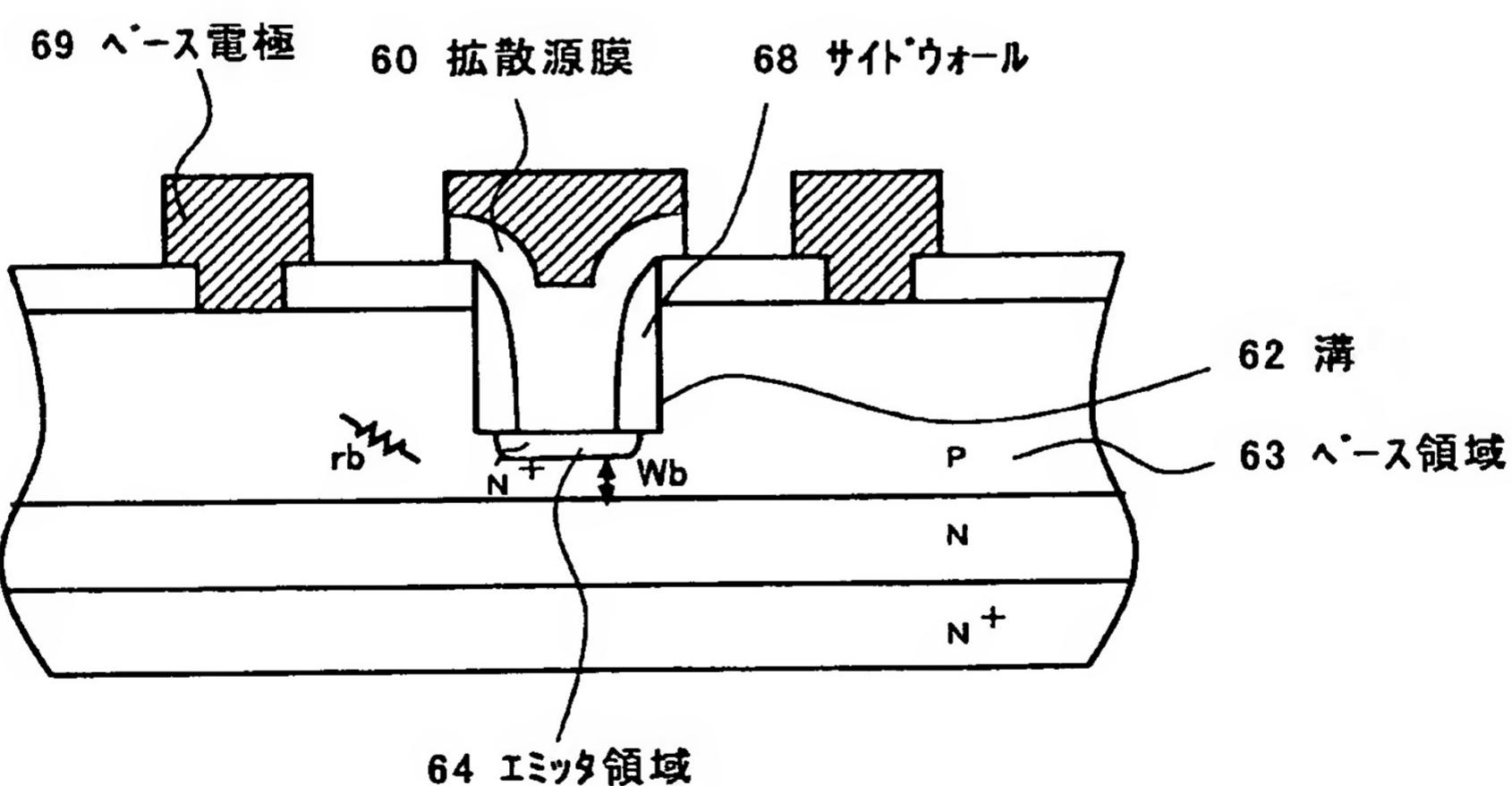
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 ベース領域に形成した溝によりエミッタ拡散を行い、よりベース取り出し抵抗を低減し、ベースーエミッタ間容量も低減する高周波特性に優れた半導体装置を得る。

【解決手段】 ベース領域全面に接するベース電極層を設け、ベース領域には先の細い溝を設ける。溝の底部からエミッタ拡散によりより微小なエミッタ領域を形成する。溝に隣接してベース電極層が形成されているので、ベースとして活性な領域とベース電極層との距離を短縮でき、ベース電極の接地面積も稼げるので、ベース取り出し抵抗を大幅に低減できる。また、微小なエミッタ領域を形成することにより、ベースーエミッタ間容量も低減できるので、高周波特性に優れたトランジスタを得ることができる。

【選択図】 図2

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社